

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-237743

(P2002-237743A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51) Int.Cl.<sup>7</sup>

H 03 K 5/08

H 03 M 1/36

識別記号

F I

テ-マ-ト<sup>7</sup> (参考)

H 03 K 5/08

E 5 J 0 2 2

H 03 M 1/36

5 J 0 3 9

(21) 出願番号

特願2001-34348 (P2001-34348)

(22) 出願日

平成13年2月9日 (2001.2.9)

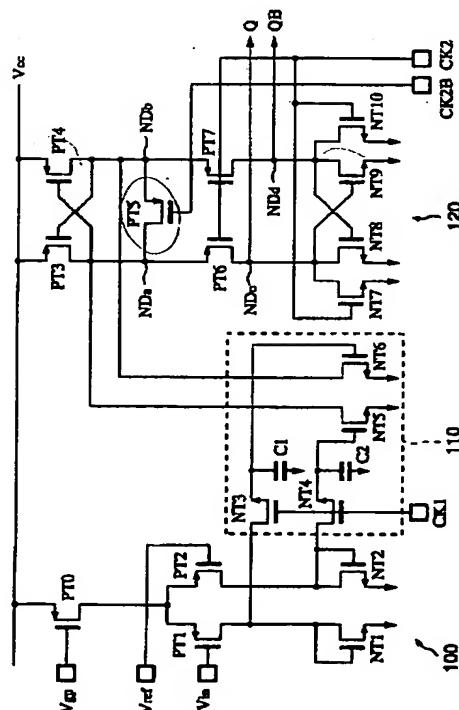
審査請求 未請求 請求項の数13 OL (全12頁)

(54) 【発明の名称】 コンパレータ及びA/Dコンバータ

(57) 【要約】

【課題】 低電源電圧で動作でき、低消費電力化及び入力広帯域化を実現できるコンパレータ及びそれを用いたA/Dコンバータを実現する。

【解決手段】 入力差動增幅回路100は入力信号 $V_{in}$ と基準電圧 $V_{ref}$ との電圧差に応じて差動電流を出力し、クロック信号CK1がローレベルのとき、ホールド回路110がホールドモードにあり、入力差動增幅回路の出力電圧がキャッシュC1, C2によって保持される。ラッチ回路120において、リセット動作のとき、出力端子QとQBが接地電位GNDにリセットされ、導通状態にあるトランジスタPT5によってノードNDaとNDbがほぼ同電位に保持される。比較モードにおいてホールド回路110によって保持された差電圧に応じてノードNDaとNDbに電位差が生じて、さらに正帰還回路によって増幅の結果入力信号 $V_{in}$ と基準電圧 $V_{ref}$ との電圧差に応じたディジタルデータが outputされる。



## 【特許請求の範囲】

【請求項1】入力信号と所定の基準信号とを比較し、上記入力信号と上記基準信号との大小関係を示す比較結果を出力するコンパレータであって、  
上記入力信号と上記基準信号をそれぞれ入力し、上記入力信号と上記基準信号との電圧の差に応じた差動信号を出力する差動增幅回路と、  
上記差動信号を保持する保持回路と、  
上記保持回路によって保持された上記差動信号を増幅し、増幅結果を保持して出力するラッチ回路とを有するコンパレータ。

【請求項2】上記保持回路は、上記差動信号を保持するキャパシタと、  
上記差動增幅回路の出力端子と上記キャパシタとの間に設けられているスイッチング素子とを有し、  
トラッキングモードのとき、上記スイッチング素子が導通状態に保持され、上記差動增幅回路の出力信号が上記キャパシタに印加され、ホールドモードのとき、上記スイッチング素子が非導通状態に保持され、上記キャパシタによって上記差動信号が保持される請求項1記載のコンパレータ。

【請求項3】上記保持回路は、上記差動信号をなす第1と第2の電圧がそれぞれ制御端子に印加され、当該差動信号に応じた差動電流を出力する第1のトランジスタと第2のトランジスタとを有する請求項1記載のコンパレータ。

【請求項4】上記差動增幅回路は、負荷を構成する第1と第2の負荷用トランジスタとを有し、  
上記第1の負荷用トランジスタと上記差動電流を出力する第1のトランジスタとによって第1のカレントミラー回路が構成され、  
上記第2の負荷用トランジスタと上記差動電流を出力する第2のトランジスタとによって第2のカレントミラー回路が構成されている請求項3記載のコンパレータ。

【請求項5】上記ラッチ回路は、第1と第2の第1導電型トランジスタと、  
第1と第2の第2導電型トランジスタとを有し、  
上記第1の第1導電型トランジスタの制御端子が上記第2の第1導電型トランジスタの出力端子に接続され、上記第2の第1導電型トランジスタの制御端子が上記第1の第1導電型トランジスタの出力端子に接続され、  
上記第1の第2導電型トランジスタの制御端子が上記第2の第2導電型トランジスタの出力端子に接続され、上記第2の第2導電型トランジスタの制御端子が上記第1の第2導電型トランジスタの出力端子に接続されている請求項1記載のコンパレータ。

【請求項6】上記第1の第1導電型トランジスタの出力端子と上記第1の第2導電型トランジスタの出力端子との間に接続されている第1のスイッチング素子と、  
上記第2の第1導電型トランジスタの出力端子と上記第

2の第2導電型トランジスタの出力端子との間に接続されている第2のスイッチング素子とを有し、  
リセットモードのとき、上記第1と第2のスイッチング素子が非導通状態に保持され、比較モードのとき、上記第1と第2のスイッチング素子が導通状態に保持される請求項5記載のコンパレータ。

【請求項7】上記第1と第2の第1導電型トランジスタの出力端子の間に接続されている第3のスイッチング素子とを有し、  
リセットモードのとき、上記第3のスイッチング素子が導通状態に保持され、比較モードのとき、上記第3のスイッチング素子が非導通状態に保持される請求項5記載のコンパレータ。

【請求項8】上記リセットモードのとき、上記第1と第2の第2導電型トランジスタの出力端子を所定の電圧に保持するリセット回路を有する請求項5記載のコンパレータ。

【請求項9】上記保持回路は、上記差動信号をなす第1と第2の電圧がそれぞれ制御端子に印加され、当該差動信号に応じた差動電流を出力する第1の電圧／電流変換トランジスタと第2の電圧／電流変換トランジスタと、制御端子がそれぞれ出力端子に接続されている第1と第2の負荷用第1導電型トランジスタと、  
上記第1と第2の電圧／電流変換トランジスタの出力端子に接続され、負荷を切り替える負荷切り替え回路とを有し、

トラッキングモードのとき、上記負荷切り替え回路は上記第1の電圧／電流変換トランジスタの出力端子を上記第1の負荷用第1導電型トランジスタの出力端子に接続し、上記第2の電圧／電流変換トランジスタの出力端子を上記第2の負荷用第1導電型トランジスタの出力端子に接続し、

ホールドモードのとき、上記負荷切り替え回路は上記第1の電圧／電流変換トランジスタの出力端子を上記第1の第1導電型トランジスタの出力端子に接続し、上記第2の電圧／電流変換トランジスタの出力端子を上記第2の第1導電型トランジスタの出力端子に接続する請求項5記載のコンパレータ。

【請求項10】上記第1の第1導電型トランジスタの出力端子と上記第1の第2導電型トランジスタの出力端子との間に接続されている第1のスイッチング素子と、  
上記第2の第1導電型トランジスタの出力端子と上記第2の第2導電型トランジスタの出力端子との間に接続されている第2のスイッチング素子とを有し、  
リセットモードのとき、上記第1と第2のスイッチング素子が非導通状態に保持され、比較モードのとき、上記第1と第2のスイッチング素子が導通状態に保持される請求項9記載のコンパレータ。

【請求項11】上記第1と第2の第1導電型トランジスタの出力端子の間に接続されている第3のスイッチング

素子を有し、リセットモードのとき、上記第3のスイッチング素子が導通状態に保持され、比較モードのとき、上記第3のスイッチング素子が非導通状態に保持される請求項9記載のコンパレータ。

【請求項12】上記保持回路が上記ホールドモードにあるとき、上記ラッチ回路は上記リセットモードから上記比較モードに切り替わるように制御される請求項10記載のコンパレータ。

【請求項13】入力信号の電圧レベルに応じたデジタルデータを出力するA/Dコンバータであって、所定の基準電圧を分圧し、分圧電圧を基準電圧として出力する分圧用抵抗素子と、

上記入力信号と上記基準電圧とを比較し、当該比較結果に応じて第1または第2の論理レベルの比較結果を出力するコンパレータと、

上記コンパレータの比較結果に応じて、上記デジタルデータを出力するエンコーダとを有し、

上記コンパレータは、上記入力信号と上記基準信号をそれぞれ入力し、上記入力信号と上記基準信号との電圧の差に応じた差動信号を出力する差動増幅回路と、

上記差動信号を保持する保持回路と、上記保持回路によって保持された上記差動信号を増幅し、増幅の結果第1または第2の論理レベルの比較結果を保持して出力するラッチ回路とを有するA/Dコンバータ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、入力信号と基準信号のレベルの大小を比較するコンパレータ及び当該コンパレータを用いて構成されている高速A/Dコンバータに関するものである。

##### 【0002】

【従来の技術】アナログ信号のレベルに応じたデジタル信号を出力するA/Dコンバータにコンパレータが用いられる。A/Dコンバータの性能、例えば、動作速度、消費電力などは、コンパレータによって左右される。特に高速変換に適したA/Dコンバータとして並列型、またはフラッシュ型と呼ばれるA/Dコンバータがあり、この種のA/Dコンバータでは、分解能、即ち出力ビット数に対して2の巾乗の数のコンパレータが必要なため、回路規模及び消費電力が大きくなる。

【0003】フラッシュ型A/Dコンバータの高速化及び低消費電力化には、コンパレータの高速化と低消費電力化などの性能の改善が不可欠である。近年、CMOS回路の進歩によってコンパレータの高速化と低消費電力化が実現されつつある。ただし、CMOS構造のコンパレータにおいて、遅延時間のバラツキ、またはしきい値電圧などのバラツキによるオフセットがA/Dコンバータの変換誤差を引き起こすため、このバラツキを補正す

るようオフセットをキャンセルする機能を持つチャップ型の増幅回路をカスケードに接続し、入力電圧と参照電圧との差を十分増幅してからラッチ回路によってデジタルデータに変換する方法が提案されている。この場合、差電圧を十分増幅するために増幅回路を2~3段継続接続するので、消費電力が大きくなる傾向にある。

【0004】これに対して、文献「A High-Speed CMOS Comparator with 8-b Resolution」IEEE Journal Solid-State Circuit, Vol. 27, NO. 2, February 1992には入力信号に応じた差電圧を差電流に変換し、当該差電流からデジタルデータに変換するCMOS構造のコンパレータが提案されていた。

【0005】図7は、上記文献によって提案されたコンパレータの回路構成を示す回路図である。図示のように、このコンパレータは、pMOSトランジスタP0, P1, P2からなる入力差動増幅回路10、pMOSトランジスタP3, P4, P5, P6、nMOSトランジスタN1, N2, N3, N4, N5からなるラッチ回路20、及びpMOSトランジスタP7, P8, P9, P10、nMOSトランジスタN6, N7, N8, N9からなるフリップフロップ30によって構成されている。

【0006】入力差動増幅回路10において、トランジスタP1とP2が差動対を構成し、トランジスタP0が当該差動対に動作電流を供給する。トランジスタP1とP2のゲートにそれぞれ入力信号V<sub>in</sub>と基準電圧V<sub>ref</sub>が入力される。なお、ラッチ回路20のトランジスタN4とN5は、この差動対の負荷となる。

【0007】ラッチ回路20において、トランジスタP4とP5はソースが電源電圧V<sub>CC</sub>の供給線に接続され、ゲートがそれぞれ相手のドレインに接続されているpMOSラッチ回路を構成する。トランジスタP4とP5のドレインは、それぞれラッチ回路20の出力ノードNDc, NDdに接続されている。トランジスタP3はトランジスタP4に並列に、トランジスタP6はトランジスタP5に並列に接続され、トランジスタP3とP6のゲートにクロック信号CKの反転信号CKBが印加される。トランジスタN4とN5は、ソースが接地され、ゲートがそれぞれ相手のドレインに接続されているnMOSラッチ回路を構成する。トランジスタN4とN5のドレインは、それぞれノードNDa, NDbに接続されている。トランジスタN1はノードNDaとNDcの間に接続され、トランジスタN2はノードNDbとNDdの間に接続されている。トランジスタN1とN2のゲートにクロック信号CKの反転信号CKBが印加される。トランジスタN3は、ノードNDaとNDbとの間に接続され、そのゲートにクロック信号CKが印加される。

【0008】フリップフロップ30において、トランジスタP7とP8は電源電圧V<sub>CC</sub>の供給線と出力端子Qの間に並列に接続され、また、出力端子Qと接地電位GNDとの間にトランジスタN6とN7が直列接続されてい

る。トランジスタ P 7 と N 7 のゲートがともにラッチ回路 20 の出力ノード ND c に接続され、トランジスタ P 8 と N 6 のゲートがともに出力端子 Q B に接続されている。また、トランジスタ P 9 と P 10 は電源電圧 V<sub>CC</sub> の供給線と出力端子 Q B の間に並列に接続され、また、出力端子 Q B と接地電位 GND との間にトランジスタ N 8 と N 9 が直列接続されている。トランジスタ P 10 と N 9 のゲートがともにラッチ回路 20 の出力ノード ND d に接続され、トランジスタ P 9 と N 8 のゲートがともに出力端子 Q に接続されている。フリップフロップ 30 は、ラッチ回路 20 の出力ノード ND c と ND d の出力信号に応じて、出力端子 Q と Q B の信号が設定される SR フリップフロップを構成している。

【0009】図 8 は、図 7 に示すコンパレータの動作を示すタイミングチャートである。以下、図 7 と図 8 を参照しつつ、このコンパレータの動作を説明する。クロック信号 CK がハイレベルのとき、即ち、図 8 (d) における R 期間においてコンパレータはリセットモードにあり、クロック信号 CK がローレベルのとき、即ち、図 8 (d) における C 期間においてコンパレータは比較モードにある。

【0010】リセットモードのとき、ラッチ回路 20 において、トランジスタ N 1 と N 2 が非導通状態にあり、トランジスタ N 3 が導通状態にある。また、トランジスタ P 3 と P 6 が導通状態にある。このため、ノード ND c がノード ND a から切り離され、ノード ND d がノード ND b から切り離される。ノード ND c と ND d がともに電源電圧 V<sub>CC</sub> にプリチャージされる。また、ノード ND a と ND b が導通状態にあるトランジスタ N 3 によってほぼ等しい電位に保持されるので、トランジスタ N 4 と N 5 には同じ電流が流れる。一方、トランジスタ N 4 と N 5 は入力差動增幅回路 10 の負荷を構成しているので、入力差動增幅回路 10 はトランジスタ N 4 と N 5 に、それぞれ入力信号 V<sub>in</sub> と基準電圧 V<sub>ref</sub> との差電圧に応じた差電流を流そうとする。このため、リセットモードのとき、クロック信号 CK がハイレベルからローレベルに切り替わったあと、即ちリセットモードから比較モードに切り替わったとき、トランジスタ N 3 が遮断するとともに、トランジスタ N 4 と N 5 にそれぞれ入力電圧 V<sub>in</sub> と基準電圧 V<sub>ref</sub> との差電圧に応じた差動電流が流れ、ノード ND a と ND b との間に電位差が生じる。

【0011】図 8 (d) に示すように、クロック信号 CK がハイレベルからローレベルに切り替わったとき、コンパレータがリセットモードから比較モードに入る。このとき、ラッチ回路 20 において、トランジスタ N 1 と N 2 が導通し、トランジスタ N 3 が遮断する。また、トランジスタ P 3 と P 6 が遮断する。このため、ノード ND c と ND a、ノード ND b と ND d がそれぞれ接続され、トランジスタ P 4、P 5 と N 4、N 5 によって CMOS のラッチ回路が形成される。このラッチ回路によっ

て、モード切り替え直後にノード ND a と ND b の間に生じた微小な電位差が増幅され、出力ノード ND c と ND d の電圧が決定される。即ち、ラッチ回路 20 によって、微小な電圧差が増幅され、その結果、ノード ND c と ND d のうち、一方がほぼ電源電圧 V<sub>CC</sub> に保持され、他方が接地電位 GND に保持されるので、入力信号 V<sub>in</sub> と基準電圧 V<sub>ref</sub> との比較結果に応じてデジタルデータが得られる。

【0012】フリップフロップ 30 は、ラッチ回路 20 の出力ノード ND c と ND d の出力信号に応じて、出力端子 Q と Q B のレベルが設定される。例えば、ラッチ回路 20 の出力ノード ND c がローレベルの場合、出力端子 Q がハイレベル、出力端子 Q B がローレベルに設定される。逆に、ラッチ回路 20 の出力ノード ND d がローレベルの場合、出力端子 Q がローレベル、出力端子 Q B がハイレベルに設定される。

【0013】上述したように、入力信号 V<sub>in</sub> と基準電圧 V<sub>ref</sub> との電圧差に応じて、ラッチ回路 20 によって、リセットモードのとき差電流が生成され、比較モードのとき、この差電流に応じて出力ノード ND c と ND d のレベルが設定される。さらに、フリップフロップ 30 によってラッチ回路 20 の出力ノード ND c と ND d の電圧差が増幅され、出力端子 Q と Q B からほぼ電源電圧 V<sub>CC</sub> の振幅を持つ差動信号が出力される。クロック信号 CK の 1 周期毎に入力信号 V<sub>in</sub> と基準電圧 V<sub>ref</sub> との比較が行われ、その結果に応じたデジタルデータが得られる。また、ラッチ回路 20 において、正帰還回路によって微小な差動電圧を増幅して、ほぼ電源電圧程度の振幅を持つデジタルデータを出力できるため、別段に増幅回路を必要とせず、低電源電圧化並びに低消費電力化を実現できる。

#### 【0014】

【発明が解決しようとする課題】ところで、上述したコンパレータを用いることで、低電圧化を達成できるが、入力帯域の点においては所望の特性が得られない。このコンパレータはショッパ型コンパレータとは異なり、基本的には連続系の比較動作となるため、スルーレートの高い入力信号が印加された場合に劣化の程度が顕著に現れる。特にフラッシュ型 A/D コンバータでは入力帯域が性能の優劣を決定することから、広帯域化が望まれる。

【0015】本発明は、かかる事情に鑑みてなされたものであり、その目的は、低電源電圧で動作でき、低消費電力化及び入力広帯域化を実現できるコンパレータ及びそれを用いた A/D コンバータを提供することにある。

#### 【0016】

【課題を解決するための手段】上記目的を達成するため、本発明のコンパレータは、入力信号と所定の基準信号とを比較し、上記入力信号と上記基準信号との大小関係を示す比較結果を出力するコンパレータであって、上

記入力信号と上記基準信号をそれぞれ入力し、上記入力信号と上記基準信号との電圧の差に応じた差動信号を出力する差動增幅回路と、上記差動信号を保持する保持回路と、上記保持回路によって保持された上記差動信号を増幅し、増幅結果を保持して出力するラッチ回路とを有する。

【0017】また、本発明では、好適には、上記保持回路は、上記差動信号を保持するキャパシタと、上記差動增幅回路の出力端子と上記キャパシタとの間に設けられているスイッチング素子とを有し、トラッキングモードのとき、上記スイッチング素子が導通状態に保持され、上記差動增幅回路の出力信号が上記キャパシタに印加され、ホールドモードのとき、上記スイッチング素子が非導通状態に保持され、上記キャパシタによって上記差動信号が保持される。

【0018】また、本発明では、好適には、上記ラッチ回路は、第1と第2の第1導電型トランジスタと、第1と第2の第2導電型トランジスタとを有し、上記第1の第1導電型トランジスタの制御端子が上記第2の第1導電型トランジスタの出力端子に接続され、上記第2の第1導電型トランジスタの制御端子が上記第1の第1導電型トランジスタの出力端子に接続され、上記第1の第2導電型トランジスタの制御端子が上記第2の第2導電型トランジスタの出力端子に接続され、上記第2の第2導電型トランジスタの制御端子が上記第1の第2導電型トランジスタの出力端子に接続されている。

【0019】また、本発明では、好適には、上記第1の第1導電型トランジスタの出力端子と上記第1の第2導電型トランジスタの出力端子との間に接続されている第1のスイッチング素子と、上記第2の第1導電型トランジスタの出力端子と上記第2の第2導電型トランジスタの出力端子との間に接続されている第2のスイッチング素子とを有し、リセットモードのとき、上記第1と第2のスイッチング素子が非導通状態に保持され、比較モードのとき、上記第1と第2のスイッチング素子が導通状態に保持される。また、上記第1と第2の第1導電型トランジスタの出力端子の間に接続されている第3のスイッチング素子を有し、リセットモードのとき、上記第3のスイッチング素子が導通状態に保持され、比較モードのとき、上記第3のスイッチング素子が非導通状態に保持される。

【0020】また、本発明では、好適には、上記リセットモードのとき、上記第1と第2の第2導電型トランジスタの出力端子を所定の電圧に保持するリセット回路を有する。

【0021】また、本発明では、好適には、上記保持回路は、上記差動信号をなす第1と第2の電圧がそれぞれ制御端子に印加され、当該差動信号に応じた差動電流を出力する第1の電圧/電流変換トランジスタと第2の電圧/電流変換トランジスタと、制御端子がそれぞれ出力

端子に接続されている第1と第2の負荷用第1導電型トランジスタと、上記第1と第2の電圧/電流変換トランジスタの出力端子に接続され、負荷を切り替える負荷切り替え回路とを有し、トラッキングモードのとき、上記負荷切り替え回路は上記第1の電圧/電流変換トランジスタの出力端子を上記第1の負荷用第1導電型トランジスタの出力端子に接続し、上記第2の電圧/電流変換トランジスタの出力端子を上記第2の負荷用第1導電型トランジスタの出力端子に接続し、ホールドモードのとき、上記負荷切り替え回路は上記第1の電圧/電流変換トランジスタの出力端子を上記第1の第1導電型トランジスタの出力端子に接続し、上記第2の電圧/電流変換トランジスタの出力端子を上記第2の第1導電型トランジスタの出力端子に接続する。

【0022】また、本発明では、好適には、上記保持回路が上記ホールドモードにあるとき、上記ラッチ回路は上記リセットモードから上記比較モードに切り替わるよう切り替えのタイミングが制御される。

【0023】また、本発明は、入力信号の電圧レベルに応じたディジタルデータを出力するA/Dコンバータであって、所定の基準電圧を分圧し、分圧電圧を基準電圧として出力する分圧用抵抗素子と、上記入力信号と上記基準電圧とを比較し、当該比較結果に応じて第1または第2の論理レベルの比較結果を出力するコンパレータと、上記コンパレータの比較結果に応じて、上記ディジタルデータを出力するエンコーダとを有し、上記コンパレータは、上記入力信号と上記基準信号をそれぞれ入力し、上記入力信号と上記基準信号との電圧の差に応じた差動信号を出力する差動增幅回路と、上記差動信号を保持する保持回路と、上記保持回路によって保持された上記差動信号を増幅し、増幅の結果第1または第2の論理レベルの比較結果を保持して出力するラッチ回路とを有する。

【0024】

#### 【発明の実施の形態】第1実施形態

図1は本発明に係るコンパレータの第1の実施形態を示す回路図である。図示のように、本実施形態のコンパレータは、入力差動增幅回路100、ホールド回路110及びラッチ回路120によって構成されている。

【0025】入力差動增幅回路100は、pMOSトランジスタPT0, PT1, PT2、及びnMOSトランジスタNT1, NT2によって構成されている。トランジスタPT1とPT2によって差動対が構成され、トランジスタPT1のゲートに入力信号V<sub>in</sub>が印加され、トランジスタPT2のゲートに基準電圧V<sub>ref</sub>が入力される。トランジスタPT0は、差動対に動作電流を供給する電流源を構成している。トランジスタNT1とNT2は、トランジスタPT1とPT2で構成されている差動対の負荷回路を構成している。図示のように、トランジスタNT1において、ゲートとドレインが接続され、そ

の接続点がトランジスタPT1のドレインに接続されている。また、トランジスタNT2においては、ゲートとドレインが接続され、その接続点がトランジスタPT2のドレインに接続されている。トランジスタNT1とNT2のソースがともに接地されている。即ち、トランジスタNT1とNT2がそれぞれダイオード接続されている。

【0026】ホールド回路110は、nMOSトランジスタNT3, NT4, NT5, NT6及びキャパシタC1, C2によって構成されている。トランジスタNT3とNT4のドレインがそれぞれ差動対をなすトランジスタPT1とPT2のドレインに接続されている。トランジスタNT3とNT4のゲートにクロック信号CK1が印加される。トランジスタNT5のゲートは、トランジスタNT4のソースに接続され、トランジスタNT6のゲートは、トランジスタNT3のソースに接続されている。また、トランジスタNT5とNT6のソースがともに接地されている。キャパシタC1の一方の電極がトランジスタNT3のソースに接続され、他方の電極が接地され、キャパシタC2の一方の電極がトランジスタNT4のソースに接続され、他方の電極が接地されている。

【0027】ラッチ回路120は、pMOSトランジスタPT3, PT4, PT5, PT6, PT7及びnMOSトランジスタNT7, NT8, NT9, NT10によって構成されている。トランジスタPT3とPT4のソースが電源電圧V<sub>CC</sub>に接続され、ゲートが互いに相手のドレインに接続されている。トランジスタPT3とPT4のドレインがそれぞれノードNDaとNDbに接続されている。トランジスタPT5はノードNDaとNDbとの間に接続されている。トランジスタPT5のゲートにクロック信号CK2の反転信号CK2Bが印加される。

【0028】トランジスタNT8とNT9のソースが接地され、ゲートが互いに相手のドレインに接続されている。トランジスタNT8とNT9のドレインがそれぞれノードNDcとNDdに接続されている。トランジスタNT7はトランジスタNT8に並列に接続され、トランジスタNT10はトランジスタNT9に並列に接続されている。トランジスタNT7とNT10のゲートにクロック信号CK2が印加される。トランジスタPT6がノードNDaとNDcとの間に接続され、トランジスタPT7がノードNDbとNDdとの間に接続されている。トランジスタPT6, PT7のゲートにクロック信号CK2が印加される。

【0029】図2は、本実施形態のコンパレータの動作時のタイミングチャートである。以下、図1及び図2を参照しつつ、本実施形態のコンパレータの動作について説明する。

【0030】図2(b)と(c)に示すように、クロック信号CK1とCK2は、同じ位相を持つ同相信号であ

る。図2(a)に示す入力信号V<sub>in</sub>に対して、入力差動增幅回路100によって、入力信号V<sub>in</sub>と基準電圧V<sub>ref</sub>との電圧差に応じた差動電流をトランジスタNT5とNT6に流す。トランジスタNT3とNT4が導通状態にあるとき、トランジスタNT1とNT6、トランジスタNT2とNT5がそれぞれカレントミラー回路を形成するので、トランジスタNT5とNT6に流れる電流がそれぞれトランジスタNT1とNT2に流れる電流によって決まる。即ち、クロック信号CK1がハイレベルのとき(図2(b)におけるT区間)、ホールド回路110はラッシングモードにあり、入力差動增幅回路100の出力差動信号に応じて、トランジスタNT5とNT6に流れる電流がそれぞれ決まる。

【0031】クロック信号CK2がハイレベルのとき、ラッチ回路120がリセットモードにある。このとき、トランジスタPT5が導通状態にあり、トランジスタPT6とPT7が非導通状態にある。また、トランジスタNT7とNT10が導通状態にある。このため、ノードNDaとNDbが導通状態にあるトランジスタPT5によって、ほぼ同じ電位に保持されるので、トランジスタPT3とPT4にほぼ等しい電流が流れる。一方、ノードNDcとNDdは、それぞれ接地電位GNDにリセットされる。

【0032】クロック信号CK1がローレベルのとき(図2(b)におけるH区間)、ホールド回路110はホールドモードにある。このとき、トランジスタNT3とNT4が非導通状態にあるので、キャパシタC1とC2によって、入力差動增幅回路100によって出力される差動電圧が保持される。また、キャパシタC1とC2によって保持されている電圧差に応じて、トランジスタNT5とNT6に、モード切り替え直前の差動電流が流れる。

【0033】クロック信号CK2がローレベルのとき、ラッチ回路120は比較モードにある。このとき、トランジスタPT5が非導通状態にあり、トランジスタPT6とPT7が導通状態にある。また、トランジスタNT7とNT10が非導通状態にある。このため、ノードNDaとNDc、ノードNDbとNDdがそれぞれ接続される。図2(d)に示すようにトランジスタNT5とNT6に流れる差動電流に応じて、ノードNDaとNDbとの間に電圧差が生じる。そして、ラッチ回路120における正帰還によってこの電圧差が増幅され、図2(e)に示すように、ノードNDcとNDd、即ち、ラッチ回路120の出力端子Q, QBから入力信号V<sub>in</sub>と基準電圧V<sub>ref</sub>との電圧差に応じたディジタルデータが得られる。

【0034】なお、図2(b)と(c)に示すように、クロック信号CK1とCK2の位相が同相する場合、正しい比較結果が得られるが、クロック信号CK1とCK2が常に同相であるとは限らず、信号線の遅延などによ

つて、クロック信号CK1とCK2の位相ずれが生じることもある。また、コンパレータの動作タイミングとして、ホールド回路110がホールドモードのとき、ラッチ回路120がリセットモードから比較モードに切り替わるのがもっとも望ましい。このため、クロック信号CK1とCK2は図3(a)と(b)に示すようなタイミングにあることが望まれる。

【0035】図3(a)と(b)に示すように、クロック信号CK1がローレベルの間、即ち、ホールド回路110がホールドモードのとき、クロック信号CK2がハイレベルからローレベルに切り替わり、これに従ってラッチ回路120がリセットモードから比較モードに入る。また、クロック信号CK1がハイレベルの間、即ち、ホールド回路110がトラッキングモードのとき、クロック信号CK2がローレベルからハイレベルに切り替わって、これに応じてラッチ回路120が比較モードからリセットモードに切り替わる。このため、ホールド回路110がトラッキングモードの間、トランジスタNT5とNT6の負荷の状態が変化し、正確な信号サンプルはできなくなる。後述する本発明の第2の実施形態は、この問題を解決するために考案された改良したコンパレータの実施形態である。

【0036】以上説明したように、本実施形態によれば、入力差動增幅回路100によって入力信号V<sub>in</sub>と基準電圧V<sub>ref</sub>との電圧差に応じて差動電流が生成され、クロック信号CK1がローレベルのとき、ホールド回路110がホールドモードにあり、入力差動增幅回路100によって出力された差動電圧がキャパシタC1とC2によって保持される。ラッチ回路120において、リセットモードのとき、出力端子QとQBが接地電位GNDにリセットされ、導通状態にあるトランジスタPT5によってノードNDaとNDbがほぼ同電位に保持される。比較モードのときホールド回路110によって保持された差電圧に応じてノードNDaとNDbに電位差が生じて、さらに正帰還回路による増幅の結果入力信号V<sub>in</sub>と基準電圧V<sub>ref</sub>との電圧差に応じたデジタルデータが得られる。

### 【0037】第2実施形態

図4は本発明に係るコンパレータの第2の実施形態を示す回路図である。図示のように、本実施形態のコンパレータは、入力差動增幅回路100、ホールド回路130及びラッチ回路120によって構成されている。本実施形態のコンパレータは、図1に示す第1の実施形態のコンパレータに較べると、ホールド回路130を除いて、入力差動增幅回路100とラッチ回路120は、ほぼ同じ構成を有する。以下、ホールド回路130の構成及び機能を中心に、本実施形態のコンパレータを説明する。

【0038】図4に示すように、ホールド回路130は、nMOSトランジスタNT3, NT4, NT5, NT6及びpMOSトランジスタPT8, PT9, PT1

0, PT11, PT12, PT13及びキャパシタC1, C2によって構成されている。このうち、トランジスタNT3とNT4は、スイッチング素子を構成し、トランジスタPT10, PT11, PT12, PT13はホールド回路の負荷を切り換えるための切り替え回路を構成している。また、キャパシタC1とC2は、差動增幅回路100の出力電圧を保持するために設けられている。

【0039】トランジスタNT3, NT4のドレインがそれぞれ入力差動增幅回路100のトランジスタPT1とPT2のドレインに接続されている。トランジスタNT3とNT4のゲートにクロック信号CK1が印加される。キャパシタC1が一方の電極がトランジスタNT3のソースに接続され、他方の電極が接地されている。キャパシタC2が一方の電極がトランジスタNT4のソースに接続され、他方の電極が接地されている。

【0040】トランジスタPT8, PT12及びNT5が電源電圧V<sub>CC</sub>と接地電位GNDとの間に直列接続され、トランジスタPT9, PT13及びNT6が電源電圧V<sub>CC</sub>と接地電位GNDとの間に直列接続されている。トランジスタPT8とPT9がそれぞれダイオード接続され、即ち、トランジスタPT8のソースが電源電圧V<sub>CC</sub>に接続され、ゲートとドレインが共通に接続されている。同様に、トランジスタPT9のソースが電源電圧V<sub>CC</sub>に接続され、ゲートとドレインが共通に接続されている。トランジスタPT12のソースがトランジスタPT8のソースとドレインの接続点に接続され、トランジスタPT13のソースがトランジスタPT9のソースとドレインの接続点に接続されている。また、トランジスタPT12とPT13のゲートにクロック信号CK1の反転信号CK1Bが印加される。

【0041】トランジスタNT5のドレインがトランジスタPT12のドレインに接続され、ソースが接地され、トランジスタNT6のドレインがトランジスタPT13のドレインに接続され、ソースが接地されている。また、トランジスタNT5のゲートがトランジスタNT4のソースに接続され、トランジスタNT6のゲートがトランジスタNT3のソースに接続されている。

【0042】トランジスタPT10のドレインがトランジスタPT12のドレインに接続され、ソースがラッチ回路120のノードNDaに接続され、トランジスタPT11のドレインがトランジスタPT13のドレインに接続され、ソースがラッチ回路120のノードNDbに接続されている。また、トランジスタPT10とPT11のゲートにクロック信号CK1が印加される。

【0043】以下、本実施形態のコンパレータの動作について説明する。ホールド回路130は、クロック信号CK1によって動作モードが制御される。クロック信号CK1がハイレベルのとき、ホールド回路130がトラッキングモードにある。このとき、スイッチング素子と

してトランジスタNT3とNT4が導通状態にある。また、クロック信号CK1の反転信号CK1Bがローレベルにあるので、トランジスタPT10, PT11が非導通状態にあり、トランジスタPT12, PT13が導通状態にある。このため、トラッキングモードにおいて、トランジスタPT8とPT9がそれぞれトランジスタNT5とNT6の負荷となる。

【0044】また、ホールド回路130がトラッキングモードの間、入力差動增幅回路100の出力差動信号がキャパシタC1とC2に印加されるとともに、トランジスタNT5とNT6のゲートにも印加されるので、トランジスタNT5とNT6には、入力差動增幅回路100の出力差動電圧に応じた電流が流れる。

【0045】クロック信号CK1がハイレベルからローレベルに切り替わると、ホールド回路130がトラッキングモードからホールドモードに切り替わる。これに応じて、トランジスタPT10とPT11が導通状態になり、また、トランジスタPT12とPT13が非導通状態になる。即ち、ホールドモードのとき、トランジスタNT5とNT6の負荷がそれぞれラッチ回路120のトランジスタPT3とPT4によって構成される。また、ホールドモードにおいて、スイッチング素子としてのトランジスタNT3とNT4が非導通状態にあるので、モード切り替え直前に入力差動增幅回路100から出力される差動電圧がキャパシタC1とC2によって保持される。

【0046】ラッチ回路120は、クロック信号CK2によって動作モードが制御される。クロック信号CK2がハイレベルのとき、ラッチ回路120は、リセットモードにあり、一方、クロック信号CK2がローレベルのとき、ラッチ回路120は比較モードにある。

【0047】ラッチ回路120がリセットモードのとき、クロック信号CK2がハイレベル、その反転信号CK2Bがローレベルにあるので、トランジスタPT6とPT7が非導通状態にあり、トランジスタPT5が導通状態にある。このため、トランジスタPT3とPT4のドレインがほぼ電源電圧VCCのレベルに保持される。一方、トランジスタNT7とNT10が導通状態にあるので、ノードNDcとNDdが前のラッチ回路120の出力信号にかかわらず接地電位GNDにリセットされる。

【0048】ここで、例えばクロック信号CK1とCK2は図3に示すタイミングで切り替わるとする。クロック信号CK1がハイレベルのとき、即ち、ホールド回路130がホールドモードのとき、クロック信号CK2がハイレベルからローレベルに切り替わる。これに応じてラッチ回路120はリセットモードから比較モードに切り替わる。このとき、トランジスタPT5が非導通状態になり、トランジスタPT6とPT7が導通状態になる。モード切り替え直前ホールド回路130のトランジスタNT5とNT6に流れる電流に応じて、ノードND

aとNDbの電圧に微小な差が生じる。この差電圧がラッチ回路120によって増幅され、その結果、ノードNDaとNDbのうち、一方がほぼ電源電圧VCCに保持され、他方がほぼ接地電位GNDに保持される。このように、ラッチ回路120の増幅作用によって、入力差動增幅回路100から出力される差動電圧に応じて、振幅が電源電圧VCC程度のデジタルデータが得られる。

【0049】以上説明したように、本実施形態によれば、本実施形態のコンパレータにおいて、入力差動增幅回路100によって、入力信号Vinと基準電圧Vrefとの電圧差に応じて、差動電圧が outputされる。ホールド回路130はクロック信号CK1がハイレベルのときトラッキングモードにあり、入力差動增幅回路100から出力される差動電圧がトランジスタNT5とNT6の差動電流に変換され、また、キャパシタC1とC2によってこの差動電圧が保持される。このとき、ラッチ回路120がリセットモードにあり、ノードNDaとNDbがほぼ同電位に保持される。クロック信号CK1がハイレベルからローレベルに切り替わることによって、ホールド回路130がトラッキングモードからホールドモードに切り替わる。これに伴って、トランジスタNT5とNT6の負荷がトランジスタPT3とPT4に切り替わる。その後、クロック信号CK2に応じてラッチ回路120はリセットモードから比較モードに切り替わる。これによって、モード切り替え直前にホールド回路130のトランジスタNT5とNT6に流れる差動電流に応じてノードNDaとNDbの電位に差が生じ、この微小な電位差がラッチ回路120によって増幅され、デジタルデータとして出力される。

【0050】上述したように、ホールド回路130において、モードの切り替えに従ってトランジスタNT5とNT6の負荷を切り換えることによって、トラッキングモードのとき、トランジスタNT5とNT6の負荷がトランジスタPT8とPT9によって構成され、ラッチ回路120のモードの切り替えにかかわらず負荷が一定に保たれ、後続回路におけるモードの切り替えに伴うトランジスタNT5とNT6の負荷変動を抑制できる。このため、ホールド回路130及びラッチ回路120の動作の安定性が向上するのみではなく、クロック信号CK1とCK2を所望の切り替えタイミングに制御することができ、ホールド回路130とラッチ回路120のモードの切り替えタイミングのずれによる影響を抑制できる。

【0051】図4は、ホールド回路130の一構成例を示してあるが、本実施形態のコンパレータは、図4に示す構成に限定されることなく、その一部は、同じような機能を持つ他の回路によって置き換えるてもよい。図5はコンパレータの他の構成例を示す回路図である。図示のように、この構成例では、ホールド回路130aにおいてトランジスタNT5とNT6の負荷を切り替えるためのトランジスタとして、pMOSトランジスタPT10、

P T 1 1 の他に、n MOS トランジスタ N T 1 1, N T 1 2 が設けられている。即ち、図 4 に示すコンパレータの実施形態に較べて、p MOS トランジスタ P T 1 2 と P T 1 3 の代わりに、n MOS トランジスタ N T 1 1 と N T 1 2 が用いられている。

【0052】なお、ホールド回路 1 3 0 a を除けば、入力差動增幅回路 1 0 0 とラッチ回路 1 2 0 は、図 4 に示すコンパレータのそれぞれの構成部分と同じである。以下、図 4 のコンパレータのホールド回路 1 3 0 と相違するホールド回路 1 3 0 a について、その構成及び動作について説明する。

【0053】トランジスタ N T 1 1 のソースがトランジスタ N T 5 のドレインに接続され、ドレインがトランジスタ P T 8 のゲートとドレインとの接続点に接続されている。トランジスタ N T 1 2 のソースがトランジスタ N T 6 のドレインに接続され、ドレインがトランジスタ P T 9 ゲートとドレインとの接続点に接続されている。また、トランジスタ N T 1 1 と N T 1 2 のゲートにクロック信号 C K 1 が印加されている。

【0054】クロック信号 C K 1 がハイレベルのとき、ホールド回路 1 3 0 a がトラッキングモードモードにある。このとき、トランジスタ N T 1 1 と N T 1 2 が導通状態にあり、トランジスタ P T 1 0 と P T 1 1 が非導通状態にある。このため、トランジスタ P T 8 と P T 9 がトランジスタ N T 5 と N T 6 の負荷を構成する。トラッキングモードのとき、入力差動增幅回路 1 0 0 から出力される差動電圧が、トランジスタ N T 5 と N T 6 に流れる差動電流に変換され、また、差動電圧がキャパシタ C 1 と C 2 によって保持される。

【0055】クロック信号 C K 1 がハイレベルからローレベルに切り替わると、ホールド回路 1 3 0 a がトラッキングモードからホールドモードに切り替わる。このとき、トランジスタ N T 1 1 と N T 1 2 が非導通状態にあり、トランジスタ P T 1 0 と P T 1 1 が導通状態にある。これに応じて、ラッチ回路 1 2 0 のトランジスタ P T 3 と P T 4 がトランジスタ N T 5 と N T 6 の負荷を構成する。ホールド回路 1 3 0 a のモードが切り替わったあと、クロック信号 C K 2 がハイレベルからローレベルに切り替わり、ラッチ回路 1 2 0 はリセットモードから比較モードに切り替わる。このとき、モード切り替え直前にトランジスタ N T 5 と N T 6 に流れる電流の差に応じて、ノード N D a と N D b との間に生じた微小な電位差がラッチ回路 1 2 0 によって増幅されるので、入力差動增幅回路 1 0 0 に入力される入力信号 V in と基準電圧 V ref との差に応じたデジタルデータがラッチ回路 1 2 0 から出力される。

【0056】以上説明したように、本実施形態によれば、ホールド回路 1 3 0 において、トラッキングモードのとき、入力差動增幅回路 1 0 0 から出力される差動電圧をトランジスタ N T 5 と N T 6 の差動電流に変換し、

ホールドモードのとき、キャパシタ C 1 と C 2 によって入力差動增幅回路 1 0 0 の出力電圧を保持する。ラッチ回路 1 2 0 はホールド回路 1 3 0 のトランジスタ N T 5 と N T 6 の電流差に応じた微小電圧差を増幅し、振幅が電源電圧 V CC 程度のデジタルデータを出力するので、入力信号 V in と基準電圧 V ref との比較結果を示すデジタルデータが得られる。ホールド回路 1 3 0 において、モードの切り替えに伴って、トランジスタ N T 5 と N T 6 の負荷となるトランジスタが切り換えられるが、負荷の特定がほぼ一定にできるので、モードに切り替え伴う負荷の変動を抑制でき、負荷の変動によって生じた影響を抑制でき、変換精度の向上を実現できる。

#### 【0057】第3実施形態

図 6 は本発明に係るコンパレータを用いて構成された A / D コンバータの一実施形態を示す回路図である。図示のように、本実施形態の A / D コンバータは、抵抗素子 R 0, R 1, …, R n - 1, R n, コンパレータ C M P 1, C M P 2, …, C M P n 及びエンコーダ E C D によって構成されている。

【0058】抵抗素子 R 0, R 1, …, R n - 1, R n は電圧端子 T 1 と T 2 の間に直列接続されている。端子 T 1 に基準電圧 V R T が印加され、端子 T 2 には基準電圧 V R B が印加される。抵抗素子 R 0, R 1, …, R n - 1, R n は分圧用抵抗素子であり、これらの抵抗素子の間の接続点から、各コンパレータ C M P 1, C M P 2, …, C M P n に供給する基準電圧 V r1, V r2, …, V rn がそれぞれ出力される。

【0059】コンパレータ C M P 1, C M P 2, …, C M P n は、上述した第 1 及び第 2 の実施形態において開示した本発明のコンパレータによって構成される。各コンパレータには、一方の入力端子に入力信号 V in が印加され、他方の入力端子に分圧用抵抗素子によって生成された基準電圧 V r1, V r2, …, V rn の何れかが印加される。例えば、コンパレータ C M P 1 の一方の入力端子に入力信号 V in が印加され、他方の入力端子に基準電圧 V r1 が印加される。また、コンパレータ C M P n の一方の入力端子に入力信号 V in が印加され、他方の入力端子に基準電圧 V rn が印加される。

【0060】エンコーダ E C D は、コンパレータ C M P 1, C M P 2, …, C M P n の出力信号をエンコードして、デジタルデータ D out を出力する。当該デジタルデータ D out は、入力信号 V in のレベルを基準電圧 V R T と V R B に対して、デジタル化した値を示す。

【0061】なお、本実施形態の A / D コンバータは、いわゆるフラッシュ型 A / D コンバータであって、並列に設けられている複数のコンパレータ及びエンコーダによって、一回の変換動作で一つの変換結果が得られるので、高速な A / D 変換を実現できる。また、本発明のコンパレータを用いて構成されている A / D コンバータにおいて、各コンパレータの入力帯域幅が広く、また、動

作の安定性がよいので、広帯域の入力信号  $V_{in}$  に対して、安定した変換動作で、高精度な変換結果を出力できる。

#### 【0062】

【発明の効果】以上説明したように、本発明のコンパレータによれば、入力差動増幅回路とラッチ回路との間にホールド回路を設け、入力差動増幅回路の出力を保持することによって、コンパレータの入力帯域を広くできる。また、ホールド回路において、動作モードの切り替えに伴い負荷を一様に保つように切り替えを行うことによって、動作モードの切り替えに伴う負荷変動を最小限に抑制でき、負荷変動によって生じた変換誤差を抑制でき、広帯域、高精度のコンパレータを実現できる利点がある。

#### 【図面の簡単な説明】

【図1】本発明に係るコンパレータの第1の実施形態を示す回路図である。

#### 【図2】本発明の第1の実施形態の動作を示すタイミング

チャートである。

【図3】本発明の第1の実施形態の動作を示す他のタイミングチャートである。

【図4】本発明に係るコンパレータの第2の実施形態を示す回路図である。

【図5】本発明の第2の実施形態の他の変形例を示す回路図である。

【図6】本発明のコンパレータを用いたA/Dコンバータの一実施形態を示す回路図である。

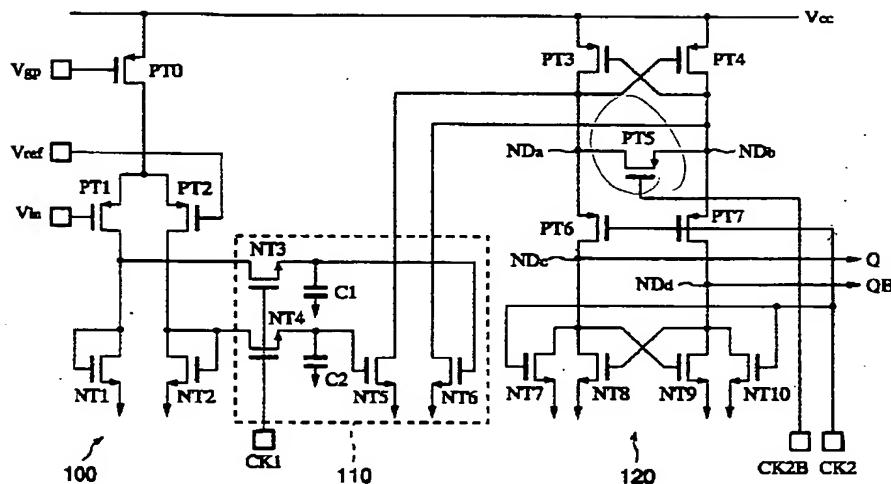
【図7】従来のコンパレータの一構成例を示す回路図である。

【図8】従来のコンパレータの動作を示すタイミングチャートである。

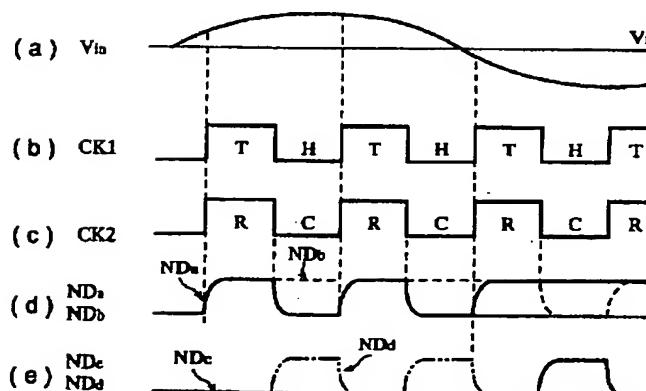
#### 【符号の説明】

10…入力差動増幅回路、20…ラッチ回路、30…フリップフロップ、100…入力差動増幅回路、110…ホールド回路、120…ラッチ回路、130, 130a…ホールド回路、 $V_{CC}$ …電源電圧、GND…接地電位。

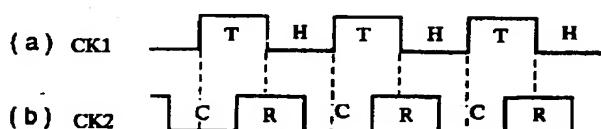
【図1】



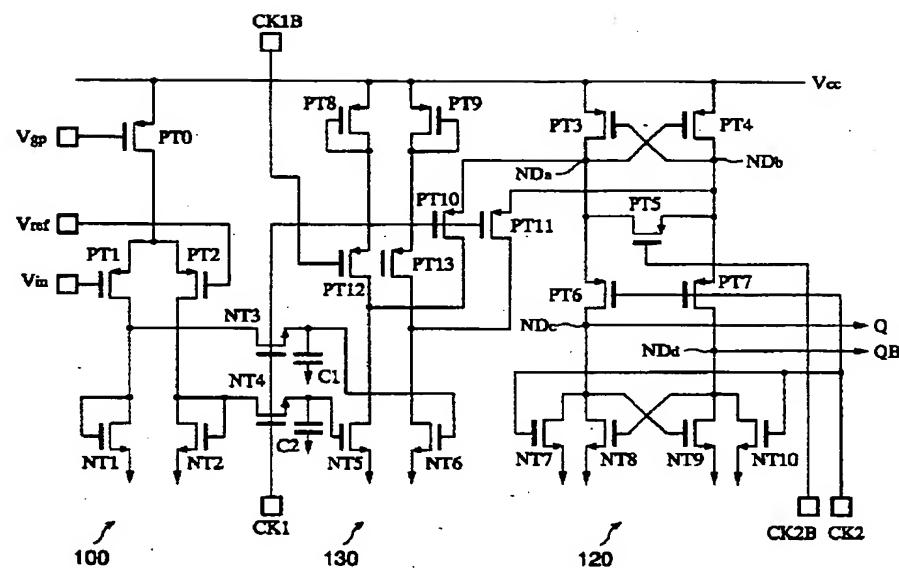
【図2】



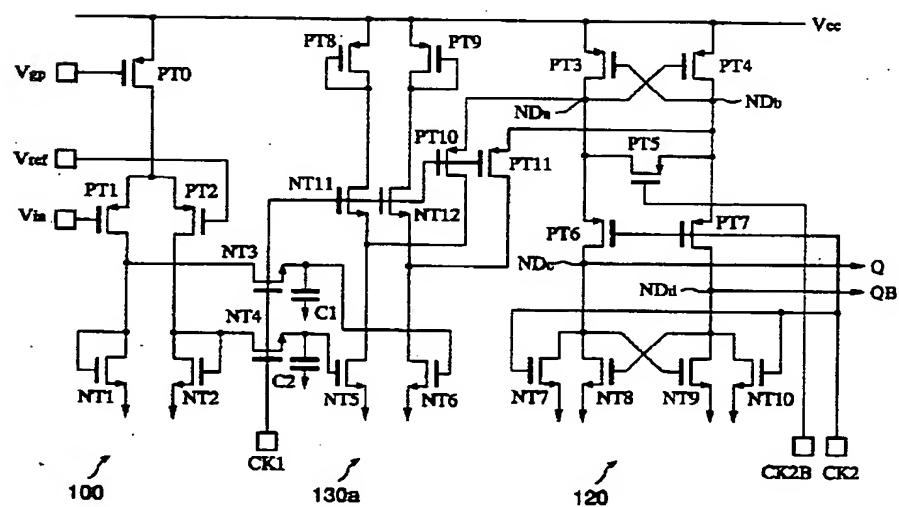
【図3】



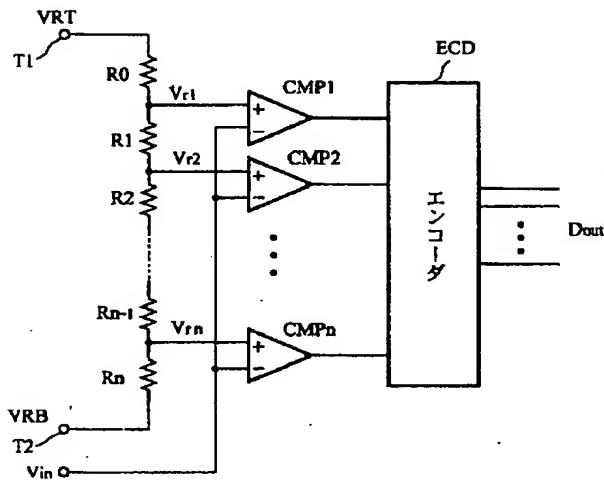
【図4】



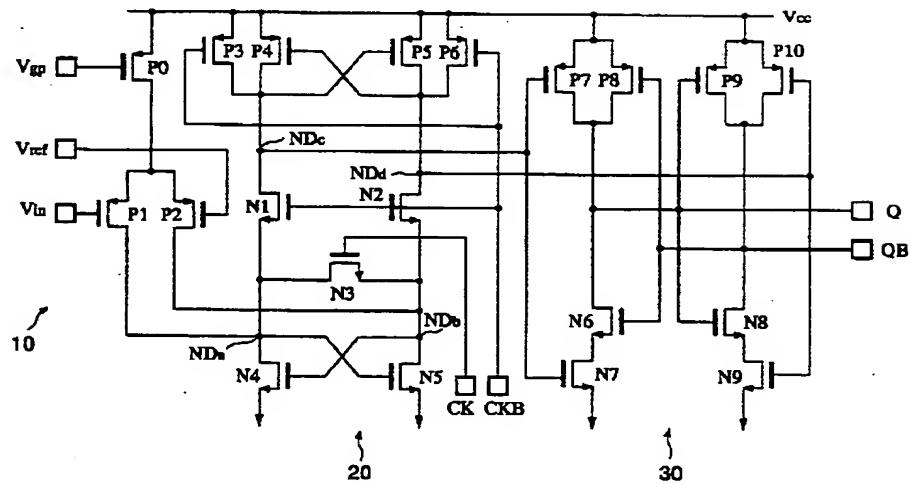
【図5】



【図6】



【図7】



【図8】

